

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-067894

(43)Date of publication of application : 16.03.2001

(51)Int.Cl.

G11C 29/00
G11C 11/413
G11C 11/407
G11C 11/401
G11C 16/06

(21)Application number : 11-242207

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.08.1999

(72)Inventor : YOSHIDA MUNEHIRO
KATO DAISUKE

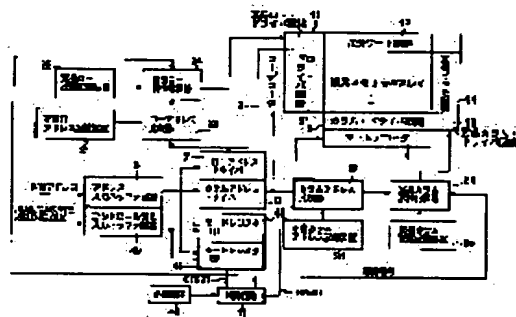
(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To test a spare element even after being packaged by setting a test mode and forcibly activating at least one of a redundant row and a redundant column.

SOLUTION: When a spare element is tested (low), a combination of external addresses is set to a redundant row test mode among a spare element test mode.

Thereafter, an input command is set to a mode register set cycle. An output of a mode register (1) 43 consequently changes from a 'LOW' level to a 'HIGH' level. Then, the input command becomes row active. At the same time, an output of a control circuit 41 changes from the 'LOW' level to the 'HIGH' level. A redundant row activation circuit 24 forcibly activates a redundant row. According to the mode, those connected to normal bit lines can be tested among the redundant row.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-67894
(P2001-67894A)

(43) 公開日 平成13年3月16日 (2001.3.16)

(51) Int.Cl. ⁷	識別記号	F I	ターミナル (参考)
G 1 1 C 29/00	6 0 3	G 1 1 C 29/00	6 0 3 Q 5 B 0 1 5
11/413		11/34	J 5 B 0 2 4
11/407			3 4 1 D 5 B 0 2 5
11/401			3 6 2 S 5 L 1 0 6
16/06			3 7 1 A

審査請求 未請求 請求項の数 8 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願平11-242207

(22) 出願日 平成11年8月27日 (1999.8.27)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 吉田 宗博

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72) 発明者 加藤 大輔

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

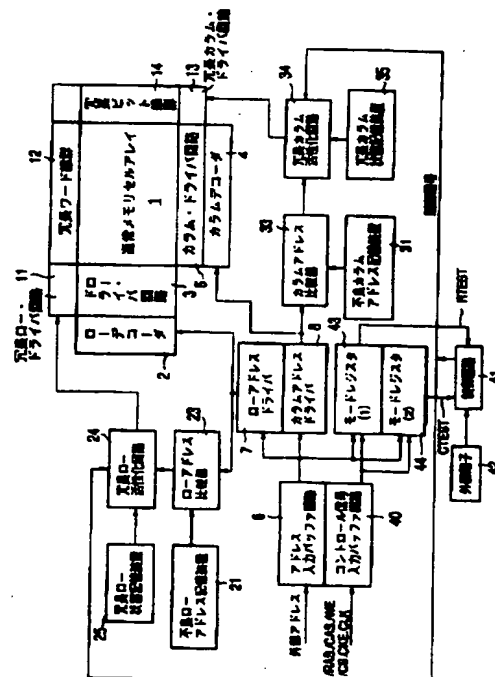
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 パッケージング後においても、スベアエレメントをテストできる半導体記憶装置を提供すること。

【解決手段】 冗長ローと、冗長カラムと、不良アドレスがプログラミングされるアドレス記憶回路(21, 22)と、冗長ローを使用するか否かを示す使用情報がプログラミングされる冗長ロー状態記憶回路(25)と、冗長カラムを使用するか否かを示す使用情報がプログラミングされる冗長カラム状態記憶回路(35)と、不良アドレスと入力されたアドレスとが一致しているか否かを比較するアドレス比較回路(23, 33)と、スベアエレメントテストモードがセットされるモードレジスタ(43, 44)と、スベアエレメントテストモードがセットされたとき、記憶回路(25, 35)の出力に係わらずに、冗長ロー、及び冗長カラムを強制的に活性化させる制御回路(41)とを具備する。



1

【特許請求の範囲】

【請求項1】 少なくとも冗長ワード線、及びこの冗長ワード線をドライブする冗長ロードドライバ回路を含む冗長ローと、
 少なくとも冗長ビット線、及びこの冗長ビット線をドライブする冗長カラムドライバ回路を含む冗長カラムと、
 アドレスがプログラミングされるアドレス記憶回路と、
 前記冗長ローを使用するか否かを示す使用情報がプログラミングされる冗長ロー状態記憶回路と、
 前記冗長カラムを使用するか否かを示す使用情報がプログラミングされる冗長カラム状態記憶回路と、
 前記アドレス記憶回路にプログラミングされたアドレスと、外部より入力されたアドレスが一致しているか否かを比較する比較回路と、
 少なくとも前記比較回路からの比較情報、及び前記冗長ロー状態記憶回路からの使用情報に基いて、前記冗長ローを活性化させる冗長ロー活性化回路と、
 少なくとも前記比較回路からの比較情報、及び前記冗長カラム状態記憶回路からの使用情報に基いて、前記冗長カラムを活性化させる冗長カラム活性化回路と、
 チップ外部から入力されるアドレス信号、及びコントロール信号の組み合わせに基いて、テストモードがセットされるモードレジスタと、
 前記モードレジスタに前記テストモードがセットされたとき、前記モードレジスタからの出力に基いて、前記冗長ロー状態記憶回路からの使用情報、及び前記冗長カラム状態記憶回路からの使用情報に係わらずに、前記冗長ロー、及び前記冗長カラムの少なくともいずれか一方を強制的に活性化させる制御回路とを具備することを特徴とする半導体記憶装置。

【請求項2】 テスト信号が入力されるテスト用外部端子を、さらに具備し、
 前記制御回路は、
 前記モードレジスタに前記テストモードがセットされたとき、前記モードレジスタからの出力に基いて、前記冗長ロー、及び前記冗長カラムの少なくともいずれか一方を強制的に活性化させ、
 前記テスト用外部端子に前記テスト信号が入力されたとき、前記テスト信号に基いて、前記冗長ロー、及び前記冗長カラムの少なくともいずれか一方を強制的に活性化させることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 前記モードレジスタは、冗長ロー用モードレジスタ、及び冗長カラム用モードレジスタをそれぞれ有し、
 前記制御回路は、
 前記モードレジスタに前記テストモードがセットされたとき、冗長ロー用モードレジスタからの出力に基いて、前記冗長ローを強制的に活性化させ、
 前記モードレジスタに前記テストモードがセットされた

2

とき、冗長カラム用モードレジスタからの出力に基いて、前記冗長カラムを強制的に活性化させることを特徴とする請求項1および請求項2いずれかに記載の半導体記憶装置。

【請求項4】 少なくとも冗長ワード線、及びこの冗長ワード線をドライブする冗長ロードドライバ回路を含む冗長ローと、
 少なくとも冗長ビット線、及びこの冗長ビット線をドライブする冗長カラムドライバ回路を含む冗長カラムと、
 アドレスがプログラミングされるアドレス記憶回路と、
 前記冗長ローを使用するか否かを示す使用情報がプログラミングされる冗長ロー状態記憶回路と、
 前記冗長カラムを使用するか否かを示す使用情報がプログラミングされる冗長カラム状態記憶回路と、
 前記アドレス記憶回路にプログラミングされたアドレスと、外部より入力されたアドレスが一致しているか否かを比較する比較回路と、
 少なくとも前記比較回路からの比較情報、及び前記冗長ロー状態記憶回路からの使用情報に基いて、前記冗長ローを活性化させる冗長ロー活性化回路と、
 少なくとも前記比較回路からの比較情報、及び前記冗長カラム状態記憶回路からの使用情報に基いて、前記冗長カラムを活性化させる冗長カラム活性化回路と、
 チップ外部から入力されるアドレス信号、及びコントロール信号の組み合わせに基いて、テストモードがセットされるモードレジスタと、
 前記モードレジスタに前記テストモードがセットされたとき、前記モードレジスタからの出力に基いて、前記冗長ロー状態記憶回路からの使用情報、及び前記冗長カラム状態記憶回路からの使用情報に係わらずに、前記冗長ロー、及び前記冗長カラムを強制的に活性化させる制御回路と、
 前記制御回路からの前記冗長ローを強制的に活性化させる出力を伝える第1の制御信号線と、
 前記制御回路からの前記冗長カラムを強制的に活性化させる出力を伝える第2の制御信号線とを具備することを特徴とする半導体記憶装置。

【請求項5】 チップ外部からのテスト信号が入力されるテスト用外部端子を、さらに具備し、
 前記制御回路は、
 前記モードレジスタに前記テストモードがセットされたとき、前記モードレジスタからの出力に基いて、前記冗長ロー、及び前記冗長カラムを強制的に活性化させ、
 前記テスト用外部端子に前記テスト信号が入力されたとき、前記テスト信号に基いて、前記冗長ロー、及び前記冗長カラムを強制的に活性化させることを特徴とする請求項4に記載の半導体記憶装置。

【請求項6】 前記モードレジスタは、冗長ロー用モードレジスタ、及び冗長カラム用モードレジスタをそれぞれ有し、

3

前記制御回路は、

前記モードレジスタに前記テストモードがセットされたとき、冗長ロー用モードレジスタからの出力に基いて、前記冗長ローを強制的に活性化させ、
前記モードレジスタに前記テストモードがセットされたとき、冗長カラム用モードレジスタからの出力に基いて、前記冗長カラムを強制的に活性化させることを特徴とする請求項4および請求項5いずれかに記載の半導体記憶装置。

【請求項7】 少なくとも冗長ワード線、及びこの冗長ワード線をドライブする冗長ロードドライバ回路を含む冗長ローと、
少なくとも冗長ビット線、及びこの冗長ビット線をドライブする冗長カラムドライバ回路を含む冗長カラムと、
アドレスがプログラミングされるアドレス記憶回路と、
前記冗長ローを使用するか否かを示す使用情報がプログラミングされる冗長ロー状態記憶回路と、
前記冗長カラムを使用するか否かを示す使用情報がプログラミングされる冗長カラム状態記憶回路と、
前記アドレス記憶回路にプログラミングされたアドレスと、外部より入力されたアドレスが一致しているか否かを比較する比較回路と、
少なくとも前記比較回路からの比較情報、及び前記冗長ロー状態記憶回路からの使用情報に基いて、前記冗長ローを活性化させる冗長ロー活性化回路と、
少なくとも前記比較回路からの比較情報、及び前記冗長カラム状態記憶回路からの使用情報に基いて、前記冗長カラムを活性化させる冗長カラム活性化回路と、
チップ外部から入力されるアドレス信号、及びコントロール信号の組み合わせに基いて、テストモードがセットされるモードレジスタと、
チップ外部からのテスト信号が入力されるテスト用外部端子と、
前記モードレジスタに前記テストモードがセットされたとき、前記モードレジスタからの出力に基いて、前記冗長ロー状態記憶回路からの使用情報に係わずに、前記冗長ローを強制的に活性化させ、前記テスト用外部端子に前記テスト信号が入力されたとき、前記テスト信号に基いて、前記冗長ロー、及び前記冗長カラムの少なくともいずれか一方を強制的に活性化させる制御回路と、
前記制御回路からの前記冗長ローを強制的に活性化させる出力を伝える第1の制御信号線と、
前記制御回路からの前記冗長カラムを強制的に活性化させる出力を伝える第2の制御信号線とを具備することを特徴とする半導体記憶装置。

【請求項8】 少なくとも冗長ワード線、及びこの冗長ワード線をドライブする冗長ロードドライバ回路を含む冗長ローと、
少なくとも冗長ビット線、及びこの冗長ビット線をドライブする冗長カラムドライバ回路を含む冗長カラムと、

4

アドレスがプログラミングされるアドレス記憶回路と、
前記冗長ローを使用するか否かを示す使用情報がプログラミングされる冗長ロー状態記憶回路と、
前記冗長カラムを使用するか否かを示す使用情報がプログラミングされる冗長カラム状態記憶回路と、
前記アドレス記憶回路にプログラミングされたアドレスと、外部より入力されたアドレスが一致しているか否かを比較する比較回路と、
少なくとも前記比較回路からの比較情報、及び前記冗長ロー状態記憶回路からの使用情報に基いて、前記冗長ローを活性化させる冗長ロー活性化回路と、
少なくとも前記比較回路からの比較情報、及び前記冗長カラム状態記憶回路からの使用情報に基いて、前記冗長カラムを活性化させる冗長カラム活性化回路と、
チップ外部から入力されるアドレス信号、及びコントロール信号の組み合わせに基いて、テストモードがセットされるモードレジスタと、
チップ外部からのテスト信号が入力されるテスト用外部端子と、
前記モードレジスタに前記テストモードがセットされたとき、前記モードレジスタからの出力に基いて、前記冗長カラム状態記憶回路からの使用情報に係わずに、前記冗長カラムを強制的に活性化させ、前記テスト用外部端子に前記テスト信号が入力されたとき、前記テスト信号に基いて、前記冗長ロー、及び前記冗長カラムの少なくともいずれか一方を強制的に活性化させる制御回路と、
前記制御回路からの前記冗長ローを強制的に活性化させる出力を伝える第1の制御信号線と、
前記制御回路からの前記冗長カラムを強制的に活性化させる出力を伝える第2の制御信号線とを具備することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体記憶装置に係わり、特にチップ上に設けられた冗長素子のテストに関する。

【0002】

【従来の技術】 半導体記憶装置において、不良ワード線または不良ビット線を、冗長ワード線または冗長ビット線に置き換えることは、一般的に行われている。そのため、半導体記憶装置は、図16に示すように、冗長ワード線112及び冗長ビット線114を含むスペアエレメントと、置き換えるべき不良ワード線または不良ビット線のアドレスがプログラミングされる記憶装置121、131と、外部アドレスがプログラミングされたアドレスと一致しているかどうかを判定する比較器123、133と、外部アドレスがプログラミングされたアドレスと一致した場合に冗長ワード線または冗長ビット線を活性化する活性化回路124、134とを有する。

5

【0003】置き換えるべきアドレスのプログラミング（以下リダンダンシプログラミングと呼ぶ）は、パッケージング前のチップのテスト後に行われ、リダンダンシプログラミング後に再度テストを行い良品となったものを、パッケージングする。

【0004】パッケージング前のチップのテストに際し、スペアエレメント、即ち冗長ワード線群112や冗長ビット線群114に不良が無いかどうかのテストも行わなければならない。このため、テスト用の外部端子142がチップに設けられており、この端子に与えられる電位の状態によって、冗長ワード線群112、又は冗長ビット線群114を活性化するように回路が構成されている。これにより、あらかじめ冗長ワード線群112、又は冗長ビット線114をテストできるようになっている。

【0005】

【発明が解決しようとする課題】しかしながら、従来の半導体記憶装置では、パッケージング後、テスト用外部端子142がパッケージ内に収容されてしまい、パッケージング後にはスペアエレメントをテストすることができない。このため、パッケージング後に、再度リダンダンシプログラムを行い、パッケージング後に再度救済を行ったとしても、不良となる確率が高くなってしまい、という事情があった。

【0006】この発明は、上記事情に鑑みて為されたもので、その目的は、パッケージング後においても、スペアエレメントをテストできる半導体記憶装置を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するため30に、この発明に係る半導体記憶装置は、少なくとも冗長ワード線、及びこの冗長ワード線をドライブする冗長ロードドライバ回路を含む冗長ローと、少なくとも冗長ビット線、及びこの冗長ビット線をドライブする冗長カラムドライバ回路を含む冗長カラムと、アドレスがプログラミングされるアドレス記憶回路と、前記冗長ローを使用するか否かを示す使用情報がプログラミングされる冗長ロー状態記憶回路と、前記冗長カラムを使用するか否かを示す使用情報がプログラミングされる冗長カラム状態記憶回路と、前記アドレス記憶回路にプログラミングされたアドレスと、外部より入力されたアドレスが一致しているか否かを比較する比較回路と、少なくとも前記比較回路からの比較情報、及び前記冗長ロー状態記憶回路からの使用情報に基いて、前記冗長ローを活性化させる冗長ロー活性化回路と、少なくとも前記比較回路からの比較情報、及び前記冗長カラム状態記憶回路からの使用情報に基いて、前記冗長カラムを活性化させる冗長カラム活性化回路と、チップ外部から入力されるアドレス信号、及びコントロール信号の組み合わせに基いて、テストモードがセットされるモードレジスタと、前記モード

6

レジスタに前記テストモードがセットされたとき、前記モードレジスタからの出力に基いて、前記冗長ロー状態記憶回路からの使用情報、及び前記冗長カラム状態記憶回路からの使用情報に係わらずに、前記冗長ロー、及び前記冗長カラムの少なくともいずれか一方を強制的に活性化させる制御回路とを具備することを特徴としている。

【0008】上記構成を有する半導体記憶装置であるとき、チップ外部から入力されるアドレス信号、及びコントロール信号の組み合わせに基いて、テストモードがセットされるモードレジスタ、およびモードレジスタにテストモードがセットされたとき、モードレジスタからの出力に基いて、冗長ロー、及び冗長カラムの少なくともいずれか一方を強制的に活性化させる制御回路を具備する。

【0009】よって、パッケージング後においても、スペアエレメントをテストできる。

【0010】

【発明の実施の形態】以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0011】[第1の実施形態]図1は、この発明の第1の実施形態に係る半導体記憶装置の基本構成を示すブロック図である。なお、第1の実施形態は、この発明を、シンクロナスDRAMに適用した場合である。

【0012】第1の実施形態に係る半導体記憶装置は、通常使用されるメモリ部と、この通常使用されるメモリ部に不良があった場合、その不良部分の置き換えに使用されるメモリ部とをそれぞれ有している。この明細書においては、通常使用されるメモリ部を以下ノーマルエレメント、置き換えに使用されるメモリ部を以下スペアエレメントとそれぞれ呼ぶ。

【0013】図1に示すように、ノーマルエレメントは、通常ワード線及び通常ビット線を含む通常メモリセルアレイ1、ローデコーダ2、ロードドライバ回路3、カラムデコーダ4、及びカラムドライバ回路5から基本的に構成される。

【0014】ローデコーダ2は、アドレス入力バッファ回路6、及びローアドレスドライバ7を通して入力されたローアドレスをデコードし、ローを選択する。ロードドライバ回路3は、選択されたローに対応した通常ワード線をドライブする。通常ワード線と通常ビット線との交点に配置されたメモリセル（図示せず）のうち、ドライブされた通常ワード線に接続されたものは、通常ビット線に電気的に接続される。

【0015】カラムデコーダ4は、アドレス入力バッファ回路6、及びカラムアドレスドライバ8を通して入力されたカラムアドレスをデコードし、カラムを選択する。カラムドライバ回路5は、選択されたカラムに対応した通常カラム選択線をドライブする。通常ビット線の

うち、ドライブされた通常カラム選択線に接続されたものは、入力／出力データ線（図示せず）に電氣的に接続される。

【0016】このようにして通常ワード線、または通常ビット線に接続されたメモリセルのうち、ローアドレス及びカラムアドレスによって選択されたアドレスに対応するものがアクセスされる。

【0017】スペアエレメントは、冗長ロー、及び冗長カラムから構成される。冗長ローは、冗長ロードドライバ回路11、及び冗長ワード線群12から基本的に構成される。また、冗長カラムは、冗長カラムドライバ回路13、及び冗長ビット線群14から基本的に構成される。

【0018】スペアエレメントは、ノーマルエレメントの“不良アドレス”がアクセスされた時、ノーマルエレメントに代わってアクセスされるものである。このため、たとえば入力されたアドレスが“不良アドレス”か否かを判定すること、およびこの判定のために“不良アドレス”を記憶しておくことが必要となる。

【0019】“不良アドレス”は、不良アドレス記憶装置（記憶回路）にプログラムされる。不良アドレス記憶装置は、データの書き込みが可能なメモリ素子、たとえば電流溶断型のヒューズを有しており、このヒューズを電流溶断するか否かによって“1”、“0”に対応した情報がプログラムされるとともに、その情報を記憶する。また、この第1の実施形態の不良アドレス記憶装置は、不良ローアドレス記憶装置（記憶回路）21、及び不良カラムアドレス記憶装置（記憶回路）31から構成されている。

【0020】不良ローアドレス記憶装置21にプログラムされた不良ローアドレスは、ローアドレス比較器（比較回路）23によって、入力されたローアドレスと比較される。入力されたローアドレスが不良ローアドレスに一致した場合、ローアドレス比較器23は、冗長ロー活性化回路24に対して、冗長ロー活性化信号を出力する。

【0021】冗長ロー活性化信号は、冗長ローを使用するか否かを示す使用情報とともに、冗長ロー活性化回路24に入力される。使用情報は、冗長ロー状態記憶装置（記憶回路）25にプログラムされる。

【0022】冗長ロー状態記憶装置25は、データの書き込みが可能なメモリ素子、たとえば電流溶断型のヒューズを有しており、このヒューズを電流溶断するか否かによって“1”、“0”に対応した使用情報がプログラムされるとともに、その使用情報を記憶する。

【0023】冗長ロー活性化回路24は、冗長ロー活性化信号が“冗長ローを活性化する”旨を示し、かつ使用情報が“使用する”旨を示している時に、冗長ローを活性化させる。

【0024】冗長ローが活性化された時、冗長ロードドライバ回路11は、冗長ワード線をドライブする。冗長ワ

ード線と通常ビット線との交点、または冗長ワード線と冗長ビット線との交点に配置されたメモリセル（図示せず）のうち、ドライブされた冗長ワード線に接続されたものは、通常ビット線、または冗長ビット線に電氣的に接続される。

【0025】このようにしてスペアエレメントの冗長ローは、ノーマルエレメントの“不良ローアドレス”がアクセスされた時、ノーマルエレメントに代わってアクセスされる。

【0026】また、不良カラムアドレス記憶装置31にプログラムされた不良カラムアドレスは、カラムアドレス比較器（比較回路）33によって、入力されたカラムアドレスと比較される。入力されたカラムアドレスが不良カラムアドレスに一致した場合、カラムアドレス比較器33は、冗長カラム活性化回路34に対して、冗長カラム活性化信号を出力する。

【0027】冗長カラム活性化信号は、冗長カラムを使用するか否かを示す使用情報とともに、冗長カラム活性化回路34に入力される。使用情報は、冗長カラム状態記憶装置（記憶回路）35にプログラムされる。

【0028】冗長カラム状態記憶装置35は、データの書き込みが可能なメモリ素子、たとえば電流溶断型のヒューズを有しており、このヒューズを電流溶断するか否かによって“1”、“0”に対応した使用情報がプログラムされるとともに、その使用情報を記憶する。

【0029】冗長カラム活性化回路34は、冗長カラム活性化信号が“冗長カラムを活性化する”旨を示し、かつ使用情報が“使用する”旨を示している時に、冗長カラムを活性化させる。

【0030】冗長カラムが活性化された時、冗長カラムドライバ回路13は、冗長カラム選択線をドライブする。冗長ビット線のうち、ドライブされた冗長カラム選択線に接続されたものは、入力／出力データ線に電氣的に接続される。

【0031】このようにしてスペアエレメントの冗長カラムは、ノーマルエレメントの“不良カラムアドレス”がアクセスされた時、ノーマルエレメントに代わってアクセスされる。

【0032】また、冗長ロー活性化回路24は、冗長ロー状態記憶装置25からの出力（使用情報）に係わらずに、冗長ローを強制的に活性化することができる。

【0033】同様に、冗長カラム活性化回路34は、冗長カラム状態記憶装置35からの出力（使用情報）に係わらずに、冗長カラムを強制的に活性化することができる。

【0034】このように強制的に冗長ロー、及び冗長カラムを活性化させる場合には、制御信号が用いられる。制御信号は、制御回路41から、冗長ロー活性化回路24、及び冗長カラム活性化回路34に対して出力される。

【0035】以下、制御信号が“HIGH”レベルのとき、強制的に冗長ロー及び冗長カラムがそれぞれ活性化されることを想定して、第1の実施形態を、さらに詳しく説明する。

【0036】強制的に冗長ロー及び冗長カラムを活性化するケースは、スペアエレメントテスト時である。このスペアエレメントテストは、スペアエレメントの不良な部分、即ち冗長ロー及び冗長カラムのうち“使用できない部分”を把握するテストである。このスペアエレメントテストにより、冗長ロー及び冗長カラムは“使用できない部分”と、“使用できない部分”とに分けられる。リダダンシプログラムは、ノーマルエレメントの不良な部分が、冗長ロー及び冗長カラムのうち“使用できる部分”に対して置き換えられるように行われる。

【0037】このようなスペアエレメントテストのために、第1の実施形態では、制御信号を“HIGH”レベルにするための系統を、2系統有している。

【0038】第1の系統は、テスト用外部端子42に入力されるテスト信号を用いて、制御信号を“HIGH”レベルにする系統である。テスト用外部端子42は、パッケージング前のスペアエレメントテスト時に使用され、このテスト時、テストからのテスト信号が入力される。パッケージング後、テスト用外部端子42は、パッケージ内に收容され、パッケージ外に露出されることはない。

【0039】第2の系統は、パッケージ外に露出された外部端子に入力される外部アドレス信号やコントロール信号によって、制御信号を“HIGH”レベルにする系統である。この系統を実現するために、第1の実施形態では、モードレジスタを有している。モードレジスタには、外部アドレス信号及びコントロール信号の組み合わせに基いて、スペアエレメントテストモードがセットされる。また、第1の実施形態のモードレジスタは、冗長ローテスト用モードレジスタ(1)43と、冗長カラムテスト用モードレジスタ(2)44とから構成されている。モードレジスタ(1)43、モードレジスタ(2)44にはそれぞれ、コントロール信号がコントロール信号入力バッファ回路40を介して入力され、また、外部アドレス信号がアドレス入力バッファ回路6を介して入力される。

【0040】また、シンクロナスDRAMにおいては、バースト長、CASレイテンシ等をセットするために、モードレジスタが既に内蔵されている。図2に、モードセット例を示す。

【0041】図2に示すように、モードレジスタセットサイクル(Mode Resistor Set Cycle)は、チップセレクト信号/CS、ローアドレスストロブ信号/RAS、カラムアドレスストロブ信号/CAS、ライトイネーブル信号/WEが全て“LOW”レベルであり、かつクロックCLKが“LOW”レベルから“HIGH”レベルに遷移した時に始まる。この時の外部アドレス信号A0～A11、バンクセレクト信号BS0、BS1の組み合わせによって、バースト長(Burst

Length)、CASレイテンシ(/CAS Latency)等がセットされる。

【0042】スペアエレメントテストモードは、外部アドレス信号A0～A11、バンクセレクト信号BS0、BS1の組み合わせのうち、使用されていない組み合わせを使ってセットされる。簡単な一例としては、図2から明らかなように、外部アドレス信号A10、A11、バンクセレクト信号BS0、BS1は、モードセットに基本的に使用されていない。これらの信号を含めれば、使用されていない組み合わせを得ることができる。

【0043】次に、制御回路41、モードレジスタ(1)43、モードレジスタ(2)の基本動作を説明する。

【0044】[スペアエレメントテスト(ロー)] 図3は、スペアエレメントテスト(ロー)時の一動作例を示す動作波形図である。

【0045】まず、外部アドレスの組み合わせ(MODE REG. SET ADD.)を、スペアエレメントテストモードのうち、冗長ローテストモードとする。この後、入力コマンドをモードレジスタセットサイクル(MODE REG. SET)とする。これにより、モードレジスタ(1)43の出力(RTEST)は、“LOW”レベルから“HIGH”レベルに遷移する。

【0046】この後、入力コマンドがローアクティブ(R. ACT)となる。これとともに、制御回路41の出力(制御信号)は、“LOW”レベルから“HIGH”レベルに遷移する。これにより、冗長ロー活性化回路24は、冗長ローを強制的に活性化させる。

【0047】なお、このモードでは、冗長ローのうち、通常ビット線に接続されるものをテストすることができる。

【0048】[スペアエレメントテスト(カラム)] 図4は、スペアエレメントテスト(カラム)時の一動作例を示す動作波形図である。

【0049】まず、外部アドレスの組み合わせ(MODE REG. SET ADD.)を、スペアエレメントテストモードのうち、冗長カラムテストモードとする。この後、入力コマンドをモードレジスタセットサイクル(MODE REG. SET)とする。これにより、モードレジスタ(2)44の出力(CTEST)は、“LOW”レベルから“HIGH”レベルに遷移する。

【0050】この後、入力コマンドがカラムアクティブ(C. ACT)となる。これとともに、制御回路41の出力(制御信号)は、“LOW”レベルから“HIGH”レベルに遷移する。これにより、冗長カラム活性化回路34は、冗長カラムを強制的に活性化させる。

【0051】なお、このモードでは、冗長カラムのうち、通常ワード線に接続されるものをテストすることができる。

【0052】[スペアエレメントテスト(ロー&カラム)] 図5は、スペアエレメントテスト(ロー&カラム)

11

ム) 時の一動作例を示す動作波形図である。

【0053】まず、外部アドレスの組み合わせ(MODE REG. SET ADD.)を、スペアエレメントテストモードのうち、冗長ロー&カラムテストモードとする。この後、入力コマンドをモードレジスタセットサイクル(MODE REG. SET)とする。これにより、モードレジスタ(1)43の出力(RTEST)、及びモードレジスタ(2)44の出力(CTEST)は、ともに“LOW”レベルから“HIGH”レベルに移移する。

【0054】この後、入力コマンドがローアクティブ(R. ACT)となる。これとともに、制御回路41の出力(制御信号)は、“LOW”レベルから“HIGH”レベルに移移する。これにより、冗長ロー活性化回路24は、冗長ローを強制的に活性化させる。

【0055】さらにこの後、入力コマンドがカラムアクティブ(C. ACT)となる。これとともに、制御回路41の出力(制御信号)は、“LOW”レベルから“HIGH”レベルに移移する。これにより、冗長カラム活性化回路34は、冗長カラムを強制的に活性化させる。

【0056】なお、このモードでは、冗長ローのうち、20 冗長ビット線に接続されるものをテストすることができる。

【0057】[通常動作]図6は、通常動作時の一動作例を示す動作波形図である。なお、図6に示す動作波形は、図3、図4、図5に示したスペアエレメントテストモード時の動作波形に対応させて示したものである。

【0058】図6に示すように、通常動作時には、外部アドレスの組み合わせ(MODE REG. SET ADD.)を、スペアエレメントテストモードとしない。これにより、モードレジスタ(1)43の出力(RTEST)、及びモードレジスタ(2)44の出力(CTEST)は、ともに“LOW”レベルを保つ。30

【0059】よって、制御回路41の出力(制御信号)は、ローアクティブ(R. ACT)、及びカラムアクティブ(C. ACT)においても“LOW”レベルを保つ。よって、冗長ロー、及び冗長カラムが強制的に活性化されることはない。

【0060】次に、制御回路41の一回路例を説明する。

【0061】図7は、制御回路41の一回路例を示す回路図である。40

【0062】図7に示すように、外部端子42はバッファ回路71の入力に配線72を介して接続されている。配線72は、抵抗Rを介して接地電位 V_{ss} に接続されている。抵抗Rは、外部端子42が電氣的に浮遊状態のとき、バッファ回路71の入力を強制的に“LOW”レベルとするものである。このため、抵抗Rは、高い抵抗値を持つ。バッファ回路71の出力は、スイッチ回路73の第1入力に接続されるとともに、スイッチ回路73の第1入力に接続されている。50

12

【0063】スイッチ回路73の一回路例は二入力型のOR回路であり、その第2入力には、モードレジスタ(1)43の出力RTESTが入力される。スイッチ回路73はバッファ回路71の出力が“LOW”レベルのとき、その出力のレベルを、出力RTESTのレベルに応じて変化させる。また、出力RTESTが“LOW”レベルのとき、その出力のレベルを、バッファ回路71の出力、即ち外部端子42に入力されるテスト信号のレベルに応じて変化させる。スイッチ回路73の出力は、トランスファゲート回路75を介して制御信号出力ノード77に接続されている。

【0064】同様にスイッチ回路74の一回路例は二入力型のOR回路であり、その第2入力には、モードレジスタ(2)44の出力CTESTが入力される。スイッチ回路74もまた、バッファ回路71の出力が“LOW”レベルのとき、その出力のレベルを、出力CTESTのレベルに応じて変化させる。また、出力CTESTが“LOW”レベルのとき、その出力のレベルを、バッファ回路71の出力、即ち外部端子42に入力されるテスト信号のレベルに応じて変化させる。スイッチ回路74の出力は、トランスファゲート回路76を介して制御信号出力ノード77に接続されている。

【0065】トランスファゲート回路75、76はそれぞれ、信号CAEに 응답して互いに相補的に導通する。信号CAEは、カラムアクティブ時に“HIGH”レベルとなる信号である。

【0066】このような回路により、出力RTESTは、カラムアクティブ時以外に制御信号出力ノード77に伝達され、出力CTESTは、カラムアクティブ時に制御信号出力ノード77に伝達される。

【0067】次に、この発明の第1の実施形態に係る半導体記憶装置を用いたパッケージング後の不良救済シーケンスの一例を説明する。

【0068】図8は、パッケージング後の不良救済シーケンスの一例を示す流れ図である。

【0069】図8に示すように、まずステップST.1において、シンクロナスDRAMチップをパッケージングする。

【0070】次に、ステップST.2において、パッケージングされたチップをテストする。このテストは、パッケージングの最中、あるいはパッケージ後において、さらに不良となったチップが有るか否かを把握するためのテストである。このテストにおいて“不良無し”と判断された場合(OK)、そのパッケージは製品として出荷される。

【0071】反対に“不良有り”と判断された場合(NG)、そのパッケージはスペアエレメントテストに送り、ステップST.3において、スペアエレメントテストが行われる。このテストはスペアエレメントのうち、使用可能なスペアエレメントを把握するためのテストであ

13

る。使用可能なスペアエレメントを把握した後、パッケージをリダンダンシブプログラムに送る。なお、このテストにおいて、もし、使用可能なスペアエレメントが全く無い、あるいは少なすぎる場合と判断された場合（NG）、そのパッケージは、たとえば不良として取り扱われる。

【0072】次に、ステップST.4において、使用可能なスペアエレメントを用いてリダンダンシブプログラムを行う。この後、ステップST.5において、リダンダンシブプログラムをテストする。このテストにおいて“不良無し”¹⁰と判断された場合（OK）、そのパッケージは製品として出荷される。

【0073】反対に“不良有り”と判断された場合（NG）、そのパッケージは、たとえば不良として取り扱われる。

【0074】このような第1の実施形態に係る半導体記憶装置によれば、外部アドレス信号、及びコントロール信号の組み合わせに基いて、スペアエレメントテストモードがセットされるモードレジスタ43、44を具備するので、パッケージング後においても、スペアエレメントをテストすることができる。このようにパッケージング後においても、スペアエレメントをテストできるようになった結果、使用不可能なスペアエレメントが把握できるようになり、使用可能なスペアエレメントを用いたリダンダンシブプログラムが可能となる。よって、たとえば図8に示すようなパッケージング後の不良救済シーケンスにおいて、不良を救済できる確率が高まり、半導体記憶装置の歩留りを、さらに向上させることができ、半導体記憶装置の製造コストを削減することができる。

【0075】〔第2の実施形態〕図9は、この発明の第2の実施形態に係る半導体記憶装置の基本構成を示すブロック図である。なお、図9において、図1と共通する部分には共通の参照符号を付し、以下、異なる部分についてのみ説明する。

【0076】図9に示すように、第2の実施形態が第1の実施形態と特に異なるところは、制御信号を、冗長ローテスト用制御信号(1)と、冗長カラムテスト用制御信号(2)とに分けたことである。冗長ローテスト用制御信号(1)は、冗長ローテスト用制御回路41-1から出力され、冗長カラムテスト用制御信号(2)は、冗長カラムテスト用制御回路41-2から出力される。⁴⁰

【0077】次に、制御回路41-1、制御回路41-2、モードレジスタ(1)43、モードレジスタ(2)の基本動作を説明する。

【0078】〔スペアエレメントテスト（ロー）〕図10は、スペアエレメントテスト（ロー）時の一動作例を示す動作波形図である。

【0079】まず、外部アドレスの組み合わせ（MODE REG. SET ADD.）を、スペアエレメントテストモードのうち、冗長ローテストモードとする。この後、入力コマン⁵⁰

14

ドをモードレジスタセットサイクル（MODE REG. SET）とする。これにより、モードレジスタ(1)43の出力（RTEST）は、“LOW”レベルから“HIGH”レベルに移移する。

【0080】この後、入力コマンドがローアクティブ（R.ACT）となる。これとともに、制御回路41-1の出力（制御信号(1)）は、“LOW”レベルから“HIGH”レベルに移移する。これにより、冗長ロー活性化回路24は、冗長ローを強制的に活性化させる。また、第2の実施形態では、制御回路41-1の出力（制御信号(1)）は、カラムアクティブ時にも“HIGH”レベルとなっても良い。制御信号(1)が伝わる信号線は、たとえば冗長カラム活性化回路34に接続されていないからである。

【0081】〔スペアエレメントテスト（カラム）〕図11は、スペアエレメントテスト（カラム）時の一動作例を示す動作波形図である。

【0082】まず、外部アドレスの組み合わせ（MODE REG. SET ADD.）を、スペアエレメントテストモードのうち、冗長カラムテストモードとする。この後、入力コマンドをモードレジスタセットサイクル（MODE REG. SET）とする。これにより、モードレジスタ(2)44の出力（CTEST）は、“LOW”レベルから“HIGH”レベルに移移する。

【0083】この後、入力コマンドがカラムアクティブ（C.ACT）となる。これとともに、制御回路41-2の出力（制御信号(2)）は、“LOW”レベルから“HIGH”レベルに移移する。これにより、冗長カラム活性化回路34は、冗長カラムを強制的に活性化させる。また、第2の実施形態では、制御回路41-2の出力（制御信号(2)）は、カラムアクティブ時にも“HIGH”レベルとなっても良い。制御信号(2)が伝わる信号線は、たとえば冗長ロー活性化回路24に接続されていないからである。

【0084】〔スペアエレメントテスト（ロー&カラム）〕図12は、スペアエレメントテスト（ロー&カラム）時の一動作例を示す動作波形図である。

【0085】まず、外部アドレスの組み合わせ（MODE REG. SET ADD.）を、スペアエレメントテストモードのうち、冗長ロー&カラムテストモードとする。この後、入力コマンドをモードレジスタセットサイクル（MODE REG. SET）とする。これにより、モードレジスタ(1)43の出力（RTEST）、及びモードレジスタ(2)44の出力（CTEST）は、ともに“LOW”レベルから“HIGH”レベルに移移する。

【0086】この後、入力コマンドがローアクティブ（R.ACT）となる。これとともに、制御回路41-1の出力（制御信号(1)）及び制御回路41-2の出力（制御信号(2)）は、“LOW”レベルから“HIGH”レベルに移移する。これにより、冗長ロー活性化回路24は冗長ローを強制的に活性化させる。

【0087】さらにこの後、入力コマンドがカラムアクティブ (C. ACT) となる。このときには、制御回路41-2の出力 (制御信号(2)) は“HIGH”レベルである。これにより、冗長カラム活性化回路34は、冗長カラムを強制的に活性化させる。

【0088】〔通常動作〕図13は、通常動作時の一動作例を示す動作波形図である。なお、図13に示す動作波形は、図10、図11、図12に示したスベアエレメントテストモード時の動作波形に対応させて示したものである。

【0089】図13に示すように、通常動作時には、外部アドレスの組み合わせ (MODE REG. SET ADD.) を、スベアエレメントテストモードとしない。これにより、モードレジスタ(1)43の出力 (RTEST)、及びモードレジスタ(2)44の出力 (CTEST) は、ともに“LOW”レベルを保つ。

【0090】よって、制御回路41-1の出力 (制御信号(1)) 及び制御回路41-2の出力 (制御信号(2)) は、ローアクティブ (R. ACT)、及びカラムアクティブ (C. ACT) においても“LOW”レベルを保つ。よって、冗長ロー、及び冗長カラムが強制的に活性化されることはない。

【0091】次に、制御回路41-1、41-2の一回路例を説明する。

【0092】図14は、制御回路41-1、41-2の一回路例を示す回路図である。なお、図14において、図7と共通する部分には共通の参照符号を付し、以下、異なる部分についてのみ説明する。

【0093】図14に示すように、バッファ回路71の出力は、スイッチ回路83の第1入力に接続されるとともに、スイッチ回路84の第1入力に接続されている。

【0094】スイッチ回路83の一回路例は二入力型のOR回路であり、その第2入力には、モードレジスタ(1)43の出力RTESTが入力される。スイッチ回路83はバッファ回路71の出力が“LOW”レベルのとき、その出力のレベルを、出力RTESTのレベルに応じて変化させる。また、出力RTESTが“LOW”レベルのとき、その出力のレベルを、バッファ回路71の出力、即ち外部端子42に入力されるテスト信号のレベルに応じて変化させる。スイッチ回路73の出力は、制御信号(1)となる。

【0095】また、スイッチ回路84の一回路例は二入力型のOR回路であり、その第2入力には、モードレジスタ(2)44の出力CTESTが入力される。スイッチ回路84もまた、バッファ回路71の出力が“LOW”レベルのとき、その出力のレベルを、出力CTESTのレベルに応じて変化させる。また、出力CTESTが“LOW”レベルのとき、その出力のレベルを、バッファ回路71の出力、即ち外部端子42に入力されるテスト信号のレベルに応じて変化させる。スイッチ回路84の出力は、制御信号

(2)である。

【0096】このような第2の実施形態においても、第1の実施形態と同様に、外部アドレス信号、及びコントロール信号の組み合わせに基いて、スベアエレメントテストモードがセットされるモードレジスタ43、44を具備する。よって、第1の実施形態と同様に、たとえば図8に示すようなパッケージング後の不良救済シーケンスにおいて、不良を救済できる確率を向上でき、半導体記憶装置の製造コストを削減することができる。

【0097】また、第2の実施形態によれば、制御信号を、冗長ローテスト用制御信号(1)と冗長カラムテスト用制御信号(2)とに分けている。このため、第1の実施形態のように制御信号を、ローアクティブ時に冗長ローへ、カラムアクティブ時に冗長カラムへというように、ロー又はカラムのアクティブタイミングに応じて振り分けるような複雑な制御を必要としない。このため、制御回路41-1、41-2の回路構成をそれぞれ簡単化できる、という利点がある。よって、集積度の向上に有利、という効果を得ることができる。

【0098】〔第3の実施形態〕図15は、この発明の第3の実施形態に係る半導体記憶装置の基本構成を示すブロック図である。なお、図15において、図9と共通する部分には共通の参照符号を付し、以下、異なる部分についてのみ説明する。

【0099】図15に示すように、第3の実施形態が第2の実施形態と特に異なるところは、冗長カラムテスト用のモードレジスタ(2)44を削除したことである。

【0100】このようにこの発明は、冗長ローテスト用のモードレジスタ(1)43と、冗長カラムテスト用のモードレジスタ(2)44とをそれぞれ1つのチップに形成する必要は必ずしもなく、第3の実施形態のように、冗長ローテスト用のモードレジスタ(1)43のみを1つのチップに形成するようにしても良い。

【0101】また、反対に冗長カラムテスト用のモードレジスタ(2)44のみを1つのチップに形成するようにしても良い。

【0102】以上、この発明を、第1～第3の実施形態により説明したが、この発明は、第1～第3の実施形態に限られるものではなく、その主旨を逸脱しない範囲で様々に変更することができる。

【0103】たとえば第1～第3の実施形態では、データの書き込みが可能なメモリ素子として電流溶断型のヒューズを例示したが、これは、電氣的にデータを書き込めるROM (PROM)、電氣的にデータを書き込み/消去が可能なROM (EEPROM)、あるいはコンデンサを絶縁破壊させる、いわゆるアンチヒューズなどのメモリ素子に変更することができる。

【0104】また、不良アドレス記憶装置は、ローアドレス用と、カラムアドレス用とにそれぞれ分割したが、分割しなくても良い。つまり、不良アドレス記憶装置

17

は、ノーマルエレメントの不良アドレスを記憶できさえすれば、一つで良い。アドレス比較回路についても同様である。

【0105】また、制御信号によって、冗長ロー活性化回路24、及び冗長カラム活性化回路34を強制的に活性化させ、冗長ロー、冗長カラムを活性化させるようにしたが、制御信号によって、冗長ロー活性化回路24、及び冗長カラム活性化回路34を介さずに、冗長ロー、冗長カラムを強制的に活性化させるようにしても良い。

【0106】また、この発明が使用される半導体記憶装置の最も好適な例としてシンクロナスDRAMを例示したが、他のDRAMに使用することも可能である。

【0107】さらにDRAMに限らず、たとえばSRAM、FRAM、EEPROM等、スぺアエレメントを有する半導体記憶装置であれば、この発明を適用できることは、言うまでもない。

【0108】

【発明の効果】以上説明したように、この発明によれば、パッケージング後においても、スぺアエレメントをテストできる半導体記憶装置を提供できる。

【図面の簡単な説明】

【図1】図1はこの発明の第1の実施形態に係る半導体記憶装置の構成を示すブロック図。

【図2】図2はモードセット例を説明するための図。

【図3】図3はスぺアエレメントテスト（ロー）時の動作を示す動作波形図。

【図4】図4はスぺアエレメントテスト（カラム）時の動作を示す動作波形図。

【図5】図5はスぺアエレメントテスト（ロー&カラム）時の動作を示す動作波形図。

【図6】図6は通常動作時の動作を示す動作波形図。

【図7】図7は制御回路の一回路例を示す回路図。

【図8】図8はパッケージング後不良救済シーケンスの一例を示す流れ図。

【図9】図9はこの発明の第2の実施形態に係る半導体記憶装置の構成を示すブロック図。

【図10】図10はスぺアエレメントテスト（ロー）時の動作を示す動作波形図。

【図11】図11はスぺアエレメントテスト（カラム）時の動作を示す動作波形図。

【図12】図12はスぺアエレメントテスト（ロー&カ

18

ラム）時の動作を示す動作波形図。

【図13】図13は通常動作時の動作を示す動作波形図。

【図14】図14は制御回路の一回路例を示す回路図。

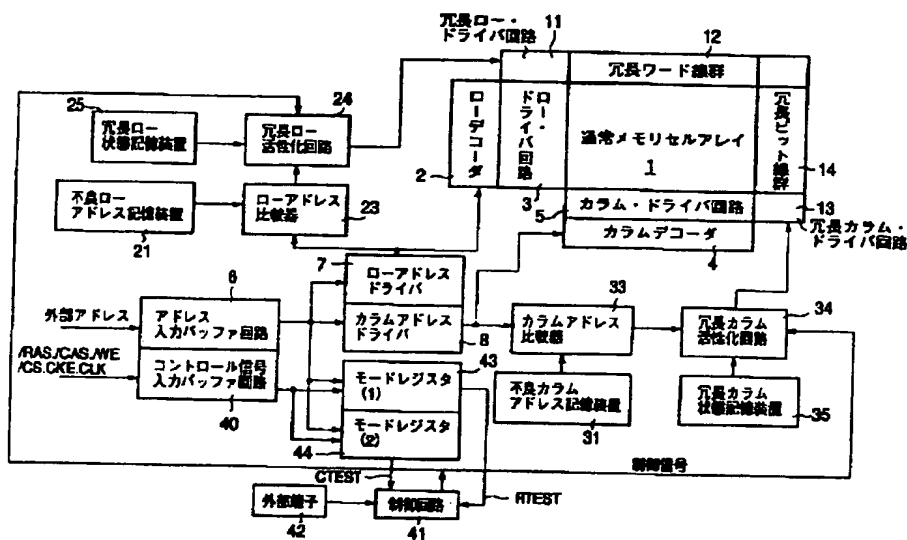
【図15】図15はこの発明の第3の実施形態に係る半導体記憶装置の構成を示すブロック図。

【図16】図16は従来の半導体記憶装置の構成を示すブロック図。

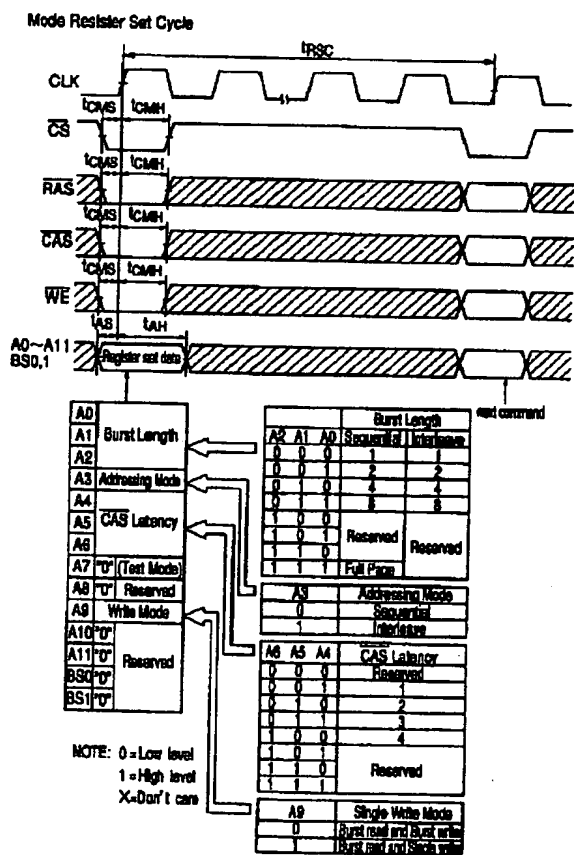
【符号の説明】

- 1…通常メモリセルアレイ、
- 2…ローデコード、
- 3…ロードドライバ回路、
- 4…カラムデコード、
- 5…カラムドライバ回路
- 6…アドレス入力バッファ回路、
- 7…ローアドレスドライバ、
- 8…カラムアドレスドライバ、
- 11…冗長ロードドライバ回路、
- 12…冗長ワード線群、
- 13…冗長カラムドライバ回路、
- 14…冗長ビット線群、
- 21…不良ローアドレス記憶装置、
- 23…ローアドレス比較器、
- 24…冗長ロー活性化回路、
- 25…冗長ロー状態記憶装置、
- 31…不良カラムアドレス記憶装置、
- 33…カラムアドレス比較器、
- 34…冗長カラム活性化回路、
- 35…冗長カラム状態記憶装置、
- 40…コントロール信号入力バッファ回路、
- 41…制御回路、
- 41-1…冗長ローテスト用制御回路、
- 41-2…冗長カラム用制御回路、
- 42…テスト用外部端子、
- 43…冗長ローテスト用モードレジスタ、
- 44…冗長カラムテスト用モードレジスタ、
- 71…バッファ回路、
- 73、74…スイッチ回路、
- 75、76…トランスファゲート回路、
- 77…制御信号出力ノード、
- 83、84…スイッチ回路。

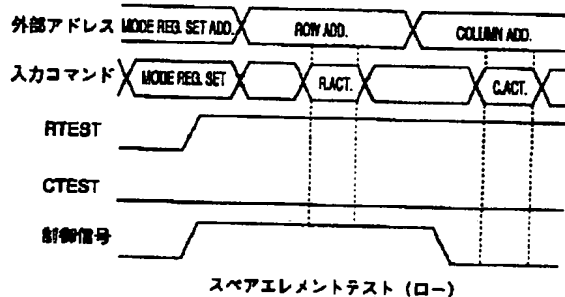
【図1】



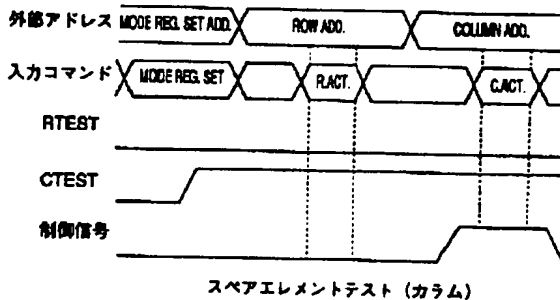
【図2】



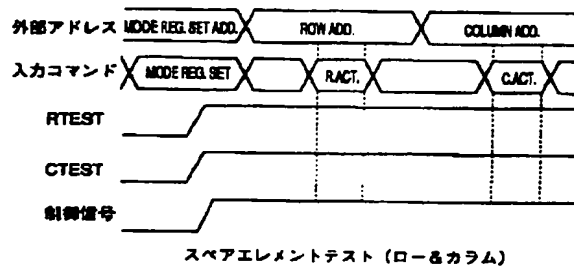
【図3】



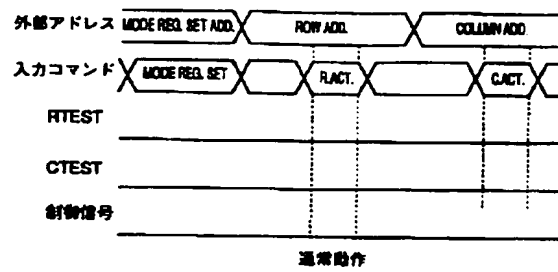
【図4】



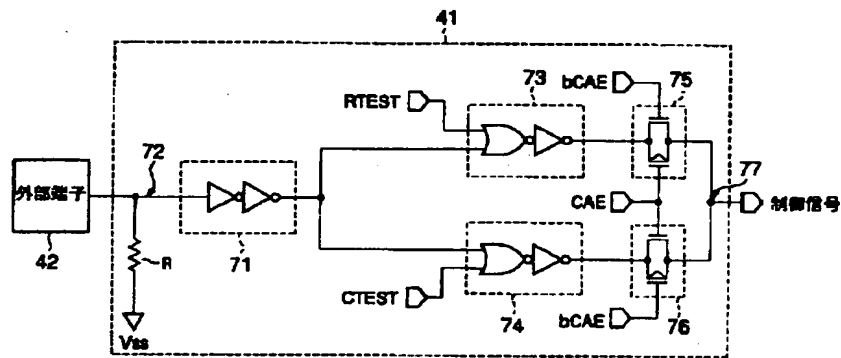
【図5】



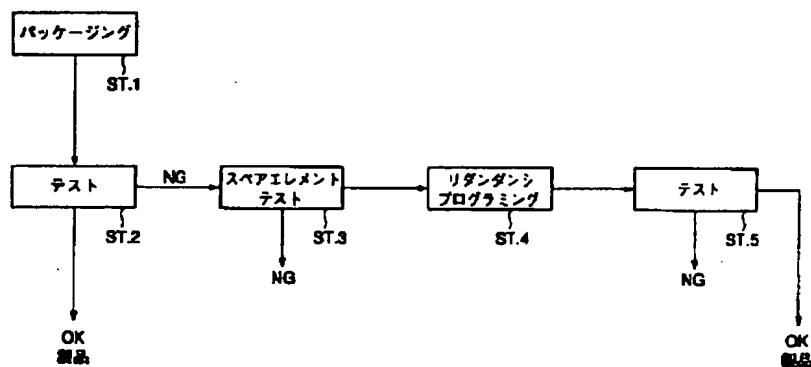
【図6】



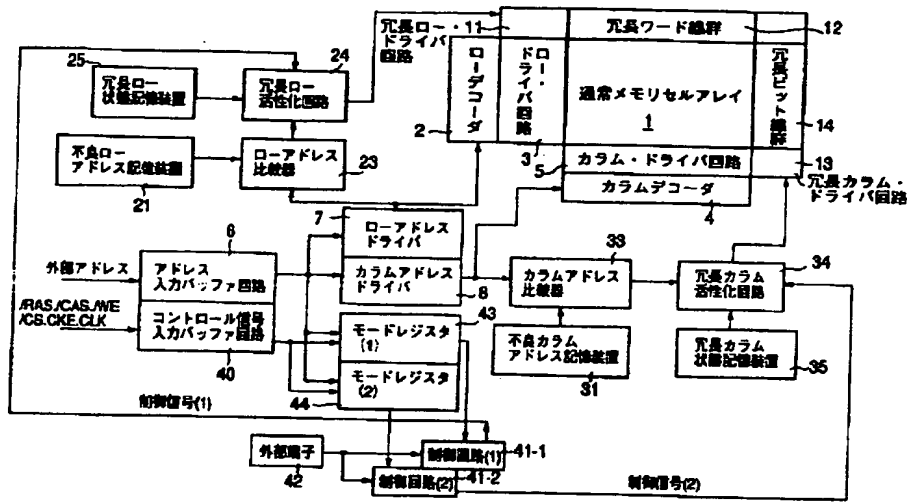
【図7】



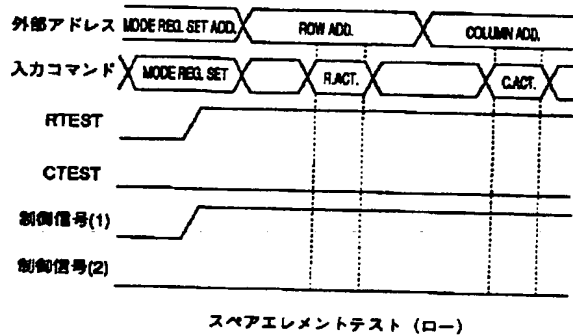
【図8】



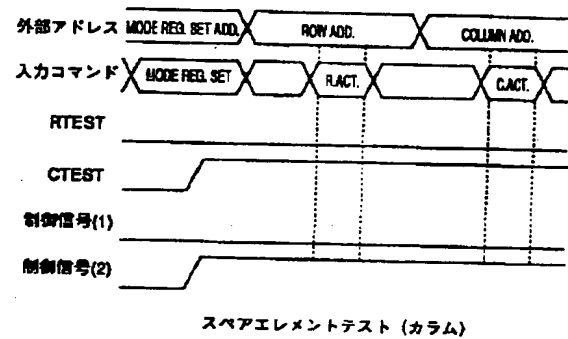
【図9】



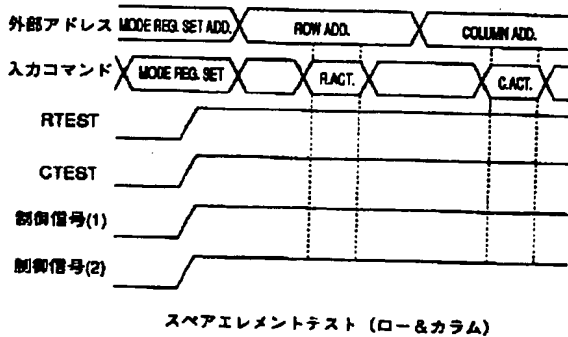
【図10】



【図11】



【図12】



【図13】

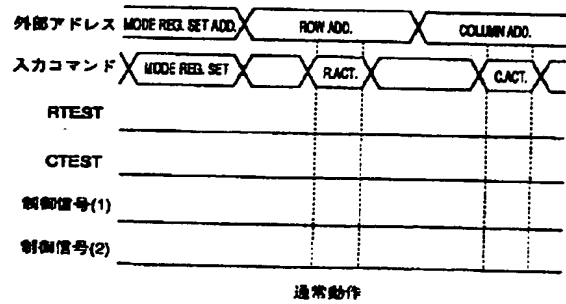


Figure 1 is a block diagram of a memory system. The diagram shows a central memory array (1) with row and column decoders (2, 3) and drivers (4, 5). It includes row address comparators (6, 7) and column address comparators (8, 9). Memory is organized into rows (10, 11) and columns (12, 13). Control logic includes a mode register (14), address buffers (15, 16), and various comparators (17, 18, 19, 20). External signals (21, 22) and internal signals (23, 24) are shown.

[illegible]

フロントページの続き

(51)Int. Cl. 7

識別記号

F I

テーマコード (参考)

G 1 1 C 17/00

6 3 9 Z

F ターム (参考) 5B015 JJ00 KB47 KB85 NN03 NN09
PP01 RR06
5B024 AA15 BA21 BA29 CA07 CA17
EA04
5B025 AA01 AA07 AD00 AD01 AD13
AE09
5L106 AA01 CC04 CC13 CC17 CC22
CC32 DD12 GG05